

CLIPPEDIMAGE= JP407336610A
PAT-NO: JP407336610A
DOCUMENT-IDENTIFIER: JP 07336610 A
TITLE: VOLTAGE CONTROLLER FOR IMAGE PICKUP ELEMENT

PUBN-DATE: December 22, 1995

INVENTOR-INFORMATION:
NAME
SAWANOBORI, KEIJI

ASSIGNEE-INFORMATION:
NAME COUNTRY
ASAHI OPTICAL CO LTD N/A

APPL-NO: JP06152896
APPL-DATE: June 10, 1994

INT-CL_(IPC): H04N005/335

ABSTRACT:

PURPOSE: To prevent deterioration or destruction of the image pickup element due to application of a negative voltage to an n-channel semiconductor substrate (1st conductive region).

1 CONSTITUTION: A substrate voltage control circuit 16 provides an output of a prescribed positive voltage to an n-channel semiconductor substrate of a CCD 17
5 to keep the n-channel semiconductor substrate to have a prescribed positive voltage being ϕ_{SUB} . A CCD driver 15 provides an output of a positive or negative voltage to the n-channel semiconductor substrate thereby
10 controlling sweep-out of an undesired charge on a photodiode of the CCD 17. A DC/DC converter 14 applies a positive/negative voltage to the CCD driver 15 through
15 power supply lines S2, S3. When the application of the negative voltage to the power supply line S3 is stopped, a discharge circuit 18 discharges the power supply line S3. Thus, deterioration or destruction of the image pickup
20 element due to application of a negative voltage to the n-channel semiconductor substrate is prevented.

COPYRIGHT: (C)1995,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-336610

(43) 公開日 平成7年(1995)12月22日

(51) Int. Cl.⁶

H 0 4 N 5/335

識別記号

庁内整理番号

F I

技術表示箇所

Z

審査請求 未請求 請求項の数 4 F D (全 7 頁)

(21) 出願番号 特願平6-152896

(22) 出願日 平成6年(1994)6月10日

(71) 出願人 000000527

旭光学工業株式会社

東京都板橋区前野町2丁目36番9号

(72) 発明者 沢登 啓治

東京都板橋区前野町2丁目36番9号 旭光学工業株式会社内

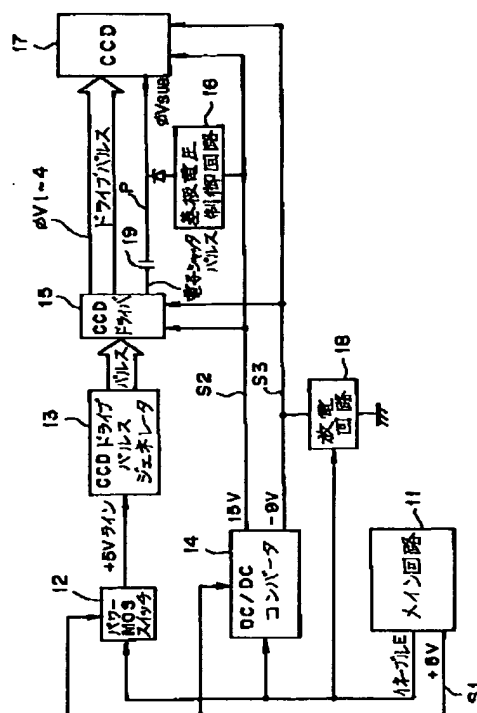
(74) 代理人 弁理士 松浦 孝

(54) 【発明の名称】 撮像素子の電圧制御装置

(57) 【要約】

【目的】 n型半導体基板(第1導電型領域)にマイナスの電圧が印加されることによる撮像素子の劣化あるいは破壊を防ぐ。

【構成】 基板電圧制御回路16は一定のプラスの電圧をCCD17のn型半導体基板に出力し、n型半導体基板の基板電圧 ϕ VSUBを所定のプラスの電位に保持する。CCDドライバ15はn型半導体基板にプラスおよびマイナスの電圧を出力し、CCD17のフォトダイオード上の不要電荷の掃き出しを制御する。DC/DCコンバータ14は電源線S2、S3を介してCCDドライバ15にプラスおよびマイナスの電圧を供給する。マイナスの電源線S3への電圧の供給が停止した時、放電回路18が電源線S3を放電する。これによりn型半導体基板にマイナスの電圧が出力することによる撮像素子の劣化あるいは破壊を防ぐ。



【特許請求の範囲】

【請求項1】 第1導電型領域である半導体基板の主面に第1導電型領域と反対の導電型を有する第2導電型領域が形成され、第1および第2導電型領域の電位差に応じて、第2導電型領域に蓄積された電荷が第1導電型領域に掃き出す動作が可能な撮像素子と、

所定の正電圧および負電圧とを第1および第2の電源線に供給する電源と、

前記第1および第2の電源線に接続され、前記正電圧および負電圧に基づいて電荷掃き出し動作を行なわせるための制御パルス信号を生成し、前記第1導電型領域に出力するパルス信号制御手段と、

前記第2の電源線への負電圧の供給・遮断を制御する放電手段とを有し、

この放電制御手段は、前記電源からの負電圧の出力の停止動作に連動して、前記第2の電源線を接地して放電させることを特徴とする撮像装置の電圧制御装置。

【請求項2】 前記放電制御手段が、放電する時間を制御する放電時間決定回路を有することを特徴とする請求項1に記載の撮像素子の電圧制御装置。

【請求項3】 前記放電手段が、急激な電位の変化を防止する電流制限回路を有することを特徴とする請求項1に記載の撮像素子の電圧制御装置。

【請求項4】 前記放電手段が、前記電源の起動・停止を制御するイネーブル信号に基づいて動作することを特徴とする請求項1に記載の撮像素子の電圧制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、撮像素子の駆動回路に供給される電圧を制御する装置に関する。

【従来の技術】従来、固体撮像素子(CCD)として、n型半導体基板(第1導電型領域)の主面に形成されたp層(第2導電型領域)が接地されるとともに、n型半導体基板に所定のプラス電圧が印加され、この印加電圧に応じて、p層に蓄積された不要電荷がn型半導体基板に掃き出される構成を有するものが知られている。

【0002】CCDドライバは、CCDを駆動するために、諸回路にて要求される動作電圧値(例えば+5V)よりもかなり離れた電圧値が要求され、かつ極性の異なる2つの電圧が必要となるため、電源回路からの電圧は電圧変換器(DC/DCコンバータ)で昇降圧されて供給されるようになっており、プラスの電圧が供給される第1の電源線とマイナスの電圧が供給される第2の電源線は、電圧変換器と接続している。

【0003】一方、CCDドライバ等へクロック信号を供給するクロック発生回路等の諸回路は、一般的な動作電圧が供給される第3の電源線を介して電源回路と接続しており、装置としては、大きく分けて3つの異なる電圧値を有する電源線で電源供給がなされる。

【0004】ところで、基板方向への電荷掃き出し動作

が可能なCCDドライバにおいて、その電荷掃き出し制御は、フォトダイオードの電荷蓄積開始のタイミングを制御するもので、CCDドライバ内の電子シャッタパルスドライバ回路によって行われ、電子シャッタパルス信号は、転送用パルスとは別の信号線を介してn型基板に印加される様になっている。

【0005】また、この信号線には、基板電圧制御回路が接続されており、動作時には、n型基板には、常に所定のプラス電圧(逆バイアス電圧)が印加されるようになっている。

【0006】そして、電荷の掃き出し時には、電子シャッタパルス発生回路がパルス信号を出力し、このパルス信号の電圧が基板電圧制御回路の印加電圧に重畳されて、通常時よりも強い逆バイアス電圧がn型基板に印加され、発生電荷が吸収される。

【0007】

【発明が解決しようとする課題】電源回路からの電圧供給が停止すると、各電源線の電圧が時間経過とともに自然に接地レベルに向かうが、負電圧が供給される第2の電源線は、接続された各種回路(負荷)の関係で他の信号線に比べて入力インピーダンスが高いため、グラウンドレベルに戻るまでに時間がかかる。

【0008】特に省電力化を考慮して頻繁に起動と終了が繰り返されるような装置、例えば、バーコードリーダや電子スチルカメラ等に用いられる撮像素子の場合、第2の電源線が完全にグラウンドレベルとにならない状態(マイナス電位状態)で、電源回路からの電圧の供給が再開すると、CCDドライバは、適正な供給電圧環境が整わないままで、他の諸回路の動作開始と連動して動作が開始されてしまう。これが原因となって、第2の電源線に残ったマイナス電圧がCCDのn型基板に印加されて、CCDの基板に順方向電流が流れ、破損や劣化の原因となっていた。

【0009】本発明は、半導体基板にマイナスの電圧が印加されることによる撮像素子の劣化あるいは破壊を防ぐことを目的としている。

【0010】

【課題を解決するための手段】本発明に係る撮像素子の電圧制御装置は、第1導電型領域である半導体基板の主面に第1導電型領域と反対の導電型を有する第2導電型領域が形成され、第1および第2導電型領域の電位差に応じて、第2導電型領域に蓄積された電荷が第1導電型領域に掃き出す動作が可能な撮像素子と、所定の正電圧および負電圧とを第1および第2の電源線に供給する電源と、第1および第2の電源線に接続され、正電圧および負電圧に基づいて電荷掃き出し動作を行なわせるための制御パルス信号を生成し、第1導電型領域に出力するパルス信号制御手段と、第2の電源線への負電圧の供給・遮断を制御する放電手段とを有し、この放電制御手段は、電源からの負電圧の出力の停止動作に連動して、第

10

20

30

40

50

2の電源線を接地して放電させることを特徴としている。

【0011】

【作用】電源が停止すると、パルス信号制御手段に負電圧を供給する第2の電源線が放電され、その電位がゼロとなる。したがって、後に電圧制御装置が駆動した際に、第1導電型領域にマイナスの電圧が印加されることはなく、撮像素子の劣化あるいは破壊が防止される。

【0012】

【実施例】以下図示実施例により本発明を説明する。図1は本発明の一実施例である電圧制御装置を適用した撮像装置、図2はこの電圧制御装置に設けられるCCDの断面図である。この電圧制御装置は、例えばバーコードリーダに設けられる。

【0013】CCD17は従来公知の構成を示している。すなわち、CCD17のフォトダイオード41には受光量に応じた信号電荷が発生、蓄積され、この信号電荷は垂直転送CCD43を介して紙面に垂直な方向に転送される。CCD17の第1導電型領域であるn型半導体基板45には、電子シャッタパルス信号線Pが接続され、この電子シャッタパルス信号線Pを介して基板電圧 ϕ VSUBが供給される。また電子シャッタパルス信号線Pにはコンデンサ19が設けられる。n型半導体基板45の主面には、第2導電型領域であるp層46が形成される。p層46は接地しており、電位が常にグランドレベルに保持される。

【0014】メイン回路11は、H(ハイ)またはL(ロー)の値を取るイネーブル信号Eを、パワーMOSスイッチ12、DC/DCコンバータ14および放電回路18に出力し、これらの動作を制御する。例えばイネーブル信号Eが「H」のとき、パワーMOSスイッチ12、DC/DCコンバータ14は、撮影動作が可能な状態に制御される。イネーブル信号Eは、例えばバーコードリーダに設けられるリリーススイッチ(図示せず)の「ON」、「OFF」操作に対応してその出力値が切り換えられる。

【0015】パワーMOSスイッチ12は、CCDドライブパルスジェネレータ13への電圧の供給を切り換える機能を有し、イネーブル信号Eが「H」のとき、電源線S1から供給される直流電圧に基づいて、CCDドライブパルスジェネレータ13に直流電圧+5Vを出力する。

【0016】CCDドライブパルスジェネレータ13は、+5Vまたは0Vの垂直CCD駆動用タイミングパルスV1~4および電子シャッタ用タイミングパルスV SUB等をCCDドライバ15に出力し、また水平CCD駆動パルスをCCD17に直接出力する。

【0017】電源であるDC/DCコンバータ14は、メイン回路11から出力される+5Vの直流電圧を昇降圧し、+15Vの直流正電圧を電源線S2に、また-9

Vの直流負電圧を電源線S3にそれぞれ出力する。第1の導電領域である電源線S2は、CCDドライバ15、基板電圧制御回路16およびCCD17に接続し、これらに+15Vの直流電圧を供給する。第2の導電領域である電源線S3は、CCDドライバ15およびCCD17に接続し、これらに-9Vの直流電圧を供給する。

【0018】パルス信号制御手段であるCCDドライバ15は、CCDドライブパルスジェネレータ13から出力されるタイミングパルス等に基づいて、垂直CCD駆動パルス ϕ V1~4をCCD17に出力する。またCCDドライバ15は、内臓する電子シャッタパルスドライブ回路31により、電子シャッタ用タイミングパルスV SUBのタイミングに基づいて、電子シャッタパルスSPを出力する。

【0019】基板電圧制御回路16は、電源線S2より供給される+15Vの電圧を昇圧または降圧し、一定の直流電圧を電子シャッタパルス信号線Pに出力する。

【0020】電子シャッタパルス信号線Pの他端は、CCD17のn型半導体基板45(図2)に電気的に接続される。n型半導体基板45の基板電圧 ϕ VSUBは、電子シャッタパルス信号線Pに出力される電子シャッタパルスSPと基板電圧制御回路16から出力される直流電圧により所定のプラス電位に定められる。

【0021】CCD17は、基板電圧 ϕ VSUBの作用により、信号電荷転送可能な状態に保持される。またCCD17は、垂直CCD駆動パルス ϕ V1~4、および水平CCD駆動パルス等の制御に応じて、フォトダイオード41に蓄積された信号電荷を順次転送する。

【0022】図3は、放電回路18の構成を示す図である。放電回路18には、放電時間決定回路21、放電ラインスイッチング回路22、および電流制限回路23が設けられる。放電時間決定回路21は、イネーブル信号Eの「H」、「L」の切換に応じて放電ラインスイッチング回路22のスイッチング動作を制御する。放電ラインスイッチング回路22の第1の端子は接地しており、第2の端子は電流制限回路23に接続される。電流制限回路23は電源線S3に接続され、瞬間的に大電流が放電ラインスイッチング回路22等には流れるのを防止するための抵抗を有している。放電ラインスイッチング回路22は、放電時間決定回路21の制御に応じて電流制限回路23を第1の端子に接続させる。

【0023】図4はCCDドライバ15内に設けられる電子シャッタパルスドライブ回路31を示す図である。この電子シャッタパルスドライブ回路31は、インバータ32を有し、このインバータ32の電源端子には電源線S2、S3が接続される。またインバータ32の出力端子には電子シャッタパルス信号線Pが接続されている。電子シャッタパルス信号線Pには、電子シャッタパルスSPの直流成分を除去するためのコンデンサ19が設けられている。

5

【0024】インバータ32では、CCDドライブパルスジェネレータ13(図1)の出力が+5Vのとき、電源線S3からの直流電圧により-9Vを出力し、CCDドライブパルスジェネレータ13の出力が0Vのとき、電源線S3からの直流電圧により+15V(電子シャッタパルスSP)を出力する。

【0025】一方、基板電圧制御回路16は、コンデンサ19の作用により、電子シャッタパルスSPのない期間(すなわち、インバータ32の出力が-9Vの時)では、インバータ32の出力に影響されることなく、所定の直流電圧(たとえば+18V)を基板電圧として電子シャッタパルス信号線Pを介してCCD17へ供給する。

【0026】そして、電子シャッタパルスSPの期間(すなわち、インバータ32の出力が+15Vとなる期間)においては、-9Vと+15Vの電位差24Vを加えた+42Vが基板電圧 ϕ V_{SUB}として、CCD17のn型半導体基板45へ供給される。この+42Vの基板電圧 ϕ V_{SUB}によりフォトダイオード上の電荷はn型半導体基板45に一挙に掃き出される(吸収される)。

【0027】図1～図4を参照してこの駆動装置の動作を説明する。図示しない電源スイッチが「ON」に切りかえられると、メイン回路11は、+5Vの直流電圧を電源線S1を介してパワーMOSスイッチ12およびDC/DCコンバータ14に供給する。

【0028】次いで、リリーススイッチが押し下されると、イネーブル信号Eが「L」から「H」に切り換えられ、パワーMOSスイッチ12から直流電圧+5VがCCDドライブパルスジェネレータ13に供給される。このとき、放電回路18の放電ラインスイッチング回路22は、接地する第1の端子から電源線S3を遮断している。従って-9Vの直流電圧は、電源線S3を介してCCDドライバ15とCCD17に供給される。また、CCDドライバ15、CCD17および基板電圧制御回路16には、電源線S2を介して+15Vの直流電圧が供給される。

【0029】電子シャッタパルス信号線Pには、インバータ32より-9Vが出力される。このとき基板電圧 ϕ V_{SUB}は、基板電圧制御回路16から出力された一定の直流電圧により、一定プラス電位(例えば+18V)に定められる。

【0030】バーコードの読み取り動作の開始時、フォトダイオード41上の不要電荷の掃き出しのために、電子シャッタパルス用タイミングパルスV_{SUB}が、フォトダイオード41上の電荷の掃き出しに要する一定期間、所定のタイミングで+5Vから0Vに切り替えられる。このとき、インバータ32から+15Vの電子シャッタパルスSPが電子シャッタパルス信号線Pに出力される。これによりn型半導体基板45には、電子シャッタパルスSPの電位が重畳されて+42Vの基板電圧 ϕ V

6

SUBが電子シャッタパルス信号線Pより供給され、フォトダイオード41上の電荷がn型半導体基板45側に掃き出される。

【0031】不要電荷の掃き出しが終了すると、再び電子シャッタパルス用タイミングパルスV_{SUB}が+5Vに切り替えられ、フォトダイオード41上の信号電荷の蓄積が開始される。次いで垂直CCD駆動パルス ϕ V₁～4、水平CCD駆動パルス等のタイミングに応じて、フォトダイオード41に蓄積された信号電荷が、CCD17から読み出され、図示しないアナログ信号処理回路等の画像処理系に出力される。

【0032】バーコードの読み取りが完了すると、イネーブル信号Eが「H」から「L」に切り換えられ、パワーMOSスイッチ12およびDC/DCコンバータ14は、CCDドライブパルスジェネレータ13、CCDドライバ15、基板電圧制御回路16およびCCD17への電圧の出力を停止する。これによりこれらの回路は動作を停止する。

【0033】一方、イネーブル信号の変化を受けて放電回路18では、放電時間決定回路21から制御命令信号が放電ラインスイッチング回路22に出力される。これにより、放電ラインスイッチング回路22は、一定時間の間、電源線S3を第1の端子に接続させる。これにより電源線S3が、電流制限回路23を介して接地され、放電される。

【0034】この放電の間、電流制限回路23の内部に設けられた抵抗の作用により放電ラインスイッチング回路22に瞬時的に大電流が流れることはなく、またグラウンド側の電位が乱されることが防止される。

【0035】このようにして電源線S3の電位が急速にグラウンドレベルにまで放電される。そして電源線S3の放電のために必要な一定時間(例えば約0.6秒)が経過すると、放電時間決定回路21からの制御命令信号により放電ラインスイッチング回路22は再びオフ状態に切り替えられ、電源線S3が、接地側の端子から開放される。

【0036】一方、従来の装置では、イネーブル信号が「H」から「L」に切り換えられ、パワーMOSスイッチ12およびDC/DCコンバータ14から電源線S2、電源線S3への電圧の供給が停止しても、電源線S2、S3の電位は急速にグラウンドレベル(0V)に近づくわけではなく、特に電源線S3は、接続された各種回路(CCDドライバ15、CCD17等)の関係で入力インピーダンスが高く、放電に時間がかかる。

【0037】例えば、DC/DCコンバータ14から電源線S2、電源線S3への出力が停止してから約30秒が経過したとき、電源線S2は略0Vまで電位が降下するのに対し、電源線S3では約-2Vの電位が残る場合がある。

【0038】このような状態で、イネーブル信号Eが再

50

び「L」から「H」に切り替えられ、またパワーMOSスイッチ12からCCDドライバパルスジェネレータ13へ出力される+5Vの直流電圧が、DC/DCコンバータ14から電源線S2、電源線S3に出力されるより直流電圧よりも先に出力された場合、まずCCDドライバパルスジェネレータ13より+5Vの電子シャッタ用タイミングパルスV_{SUB}が出力され、CCDドライバ15に入力される。CCDドライバ15中の電子シャッタパルスドライバ(図4)はインバータ32であり、その負の電源端子には-2Vが加わっているため、CCDドライバ15からマイナス電位(例えば約-2V)の電子シャッタパルスSPが電子シャッタパルス信号線Pに出力される。

【0039】一方、基板電圧制御回路16には電源線S3からまだ電圧が供給されていないので、基板電圧φV_{SUB}を制御するための一定のプラス電圧が、電子シャッタパルス信号線Pに供給されない。したがって電子シャッタパルス信号線Pには、マイナス電位の電子シャッタパルスSPが出力されるため、n型半導体基板45にはマイナス電圧が印加されることになる。p層は接地され、グランドレベルであるから、この結果、p層からn型半導体基板に順方向電流が流れ、CCD17が劣化し、あるいは破壊するおそれが発生する。

【0040】電源線S2への電圧供給を電子シャッタパルス用タイミングパルスV_{SUB}より先に開始すれば、基板電圧制御回路16からの出力電圧によってn型半導体基板45にマイナスの電圧が印加することが防止されるが、このようにタイミングを制御する遅延回路等を設けると回路が複雑化して装置本体が大型化し、製造コストも上昇する。

【0041】そこで本実施例では、上述したように、マイナスの電圧を供給する電源線S3に放電回路18を接続し、イネーブル信号Eが「H」から「L」に切り替えられたとき、一定期間この電源線S3の放電を行ない、電源線S3の電圧を急速にグランドレベルに近づけている。

【0042】したがって、例えばバーコードリーダのように起動と停止が頻繁に行なわれる装置の場合であっても、n型半導体基板45にマイナスの電位が加わって撮像素子に悪影響を及ぼすおそれがない。

【0043】また本実施例では、電流制限回路23の作用により、放電の際に放電ラインスイッチング回路22に瞬時的に大電流が流れたり、接地側の電位が乱されることが防止されているので、放電ラインスイッチング回路22が保護され、またメイン回路11にこれらの悪影響が及ぼされることがない。

【0044】図5は本発明の他の実施例である撮像素子の電圧制御装置を適用した撮像装置である。この撮像装置は、撮像とともに再生動作を行なうことができる、例えばスチルカメラ等である。なお、上記実施例の装置と

同一または相当する部分には同一符号を付しており、説明を省略する。

【0045】信号処理回路51は、各フォトダイオードに対応する信号電荷に所定の処理を施し、輝度信号、色差信号等で構成される画像信号に変換する。記録・再生回路52では、撮影時には信号処理回路51から出力される画像信号が、例えばFM変調等により記録媒体53に適したフォーマットの記録信号(例えばNTSC方式に従った信号)に変換され、また再生時には、この記録信号が輝度信号、色差信号等の画像信号に変換される。信号処理回路51、記録・再生回路52の動作は、メイン回路11から出力されるイネーブル信号E3により制御される。記録媒体53では、記録信号が所定のアドレスに書込まれ、また読み出される。

【0046】CCDドライバパルスジェネレータ13は、CCD17を駆動するための各種パルス信号を、CCD17に出力するとともに信号処理回路51にも出力する。各種駆動パルスのタイミングにより、信号処理回路51は、信号電荷に所定の処理を施すことができる。

【0047】本実施例では2つのイネーブル信号E1、E2が、第1実施例のイネーブル信号Eに相当する。イネーブル信号E1はパワーMOSスイッチ12に、またイネーブル信号E2はDC/DCコンバータ14と放電回路18に供給され、これらの動作を制御する。

【0048】撮影動作時には、イネーブル信号E1、E2が同時に「L」から「H」に切り替えられることにより、各回路は第1実施例と同様に動作し、CCD17より信号電荷が信号処理回路51に出力される。信号処理回路51は、CCDドライバパルスジェネレータ13より出力される各種駆動パルスのタイミングに基づいて所定の画像信号を生成し、記録・再生回路52に出力する。画像信号は記録・再生回路52で記録信号に変換され、記録媒体53の所定のアドレスに書込まれる。

【0049】本実施例の再生動作における作用を説明する。再生動作時には、記録媒体53に書込まれた記録信号が読み出され、記録・再生回路52で画像信号に変換されて信号処理回路51に出力される。信号処理回路51は、CCDドライバパルスジェネレータ13より出力される各種駆動パルスのタイミングに基づいて、画像信号を所定の映像信号に変換し、接続されたモニタ出力に出力する。

【0050】このように再生動作においては、CCD17およびCCD17を駆動するためのCCDドライバ15および基板電圧発生回路16は、駆動されずに停止した状態に保持され、電力の浪費が抑えられる。一方、CCDドライバパルスジェネレータ13は、信号処理回路51に各種ドライバパルスを供給するため、駆動しなければならない。このため、イネーブル信号E1、E2の内、イネーブル信号E1が「L」から「H」に切り替えられ、イネーブル信号E2は「L」のまま維持される。

これにより直流電圧+15V、-9VはDC/DCコンバータ14より電源線S2、S3に出力されず、CCD17、CCDドライバ15、基板電圧発生回路16は停止したままとする。一方、CCDドライブパルスジェネレータ13には+5Vの直流電圧がパワーMOSスイッチ12から出力され、CCDドライブパルスジェネレータ13は、各種駆動パルスを信号処理回路51およびCCDドライバ15に出力している。

【0051】仮に電源線S3にマイナス電位が残っていれば、+5Vの電子シャッタ用タイミングパルスV_{SUB}がCCDドライバ15に出力されたとき、マイナス電位のパルス信号が電子シャッタパルス信号線Pに出力される。再生時には基板電圧制御回路16は停止しているため、CCD17のn型半導体基板35にマイナス電位の基板電圧φ_{V_{SUB}}が加わり、CCD17が劣化する。特に撮影、再生等の動作が終了した直後に上記再生動作が起動されたような場合、このような問題が起こり易い。

【0052】本実施例の装置では、撮影、再生等の動作が終了した時（イネーブル信号E2が「H」から「L」に切り替えられた時）、電源線S3が放電され、急速にグランドレベルに近づけられるため、その直後に上記再生動作が起動しても、マイナス電圧が電子シャッタパルス信号線Pに出力されることはない。従ってマイナスの電圧が電子シャッタパルス信号線Pを介してCCD17のn型半導体基板35に印加されることはなく、CCD17の劣化、破壊等が防がれる。

【0053】

【発明の効果】以上のように本発明によれば、撮像素子の半導体基板にマイナスの電圧が印加されることはなく、したがって撮像素子が劣化あるいは破壊することが 30

防止される。

【図面の簡単な説明】

【図1】本発明の一実施例である撮像素子の電圧制御装置を適用した撮像装置を示す図である。

【図2】図1の電圧制御装置に設けられるCCDの断面図である。

【図3】図1の電圧制御装置に設けられる放電回路を示す図である。

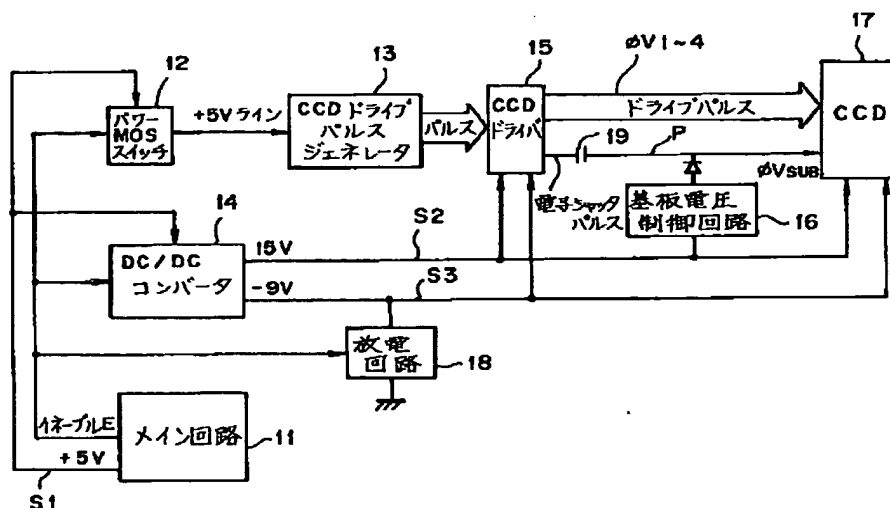
【図4】図1のCCDドライバに設けられる電子シャッタパルスドライブ回路を示す図である。

【図5】本発明の他の実施例である撮像素子の電圧制御装置を適用した撮像装置を示す図である。

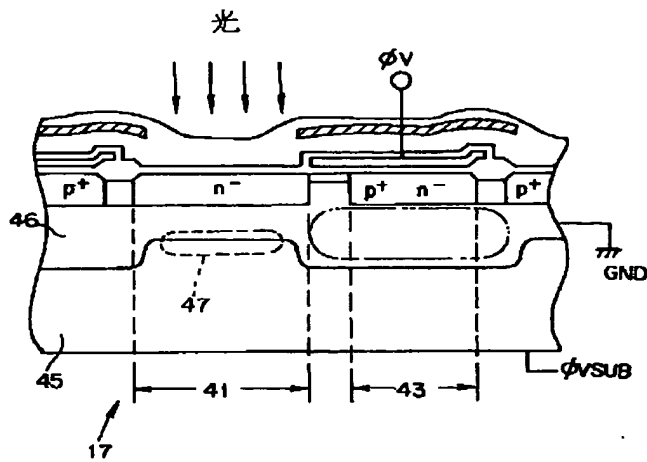
【符号の説明】

- 11 メイン回路
- 13 CCDドライバパルスジェネレータ
- 14 DC/DCコンバータ
- 16 基板電圧制御回路
- 17 CCD
- 18 放電回路
- 21 放電時間決定回路
- 22 放電ラインスイッチング回路
- 23 電流制限回路
- 31 電子シャッタパルスドライブ回路
- 32 インバータ
- 46 p層
- P 電子シャッタパルス信号線
- S1、S2、S3 電源線
- E イネーブル信号
- SP 電子シャッタパルス

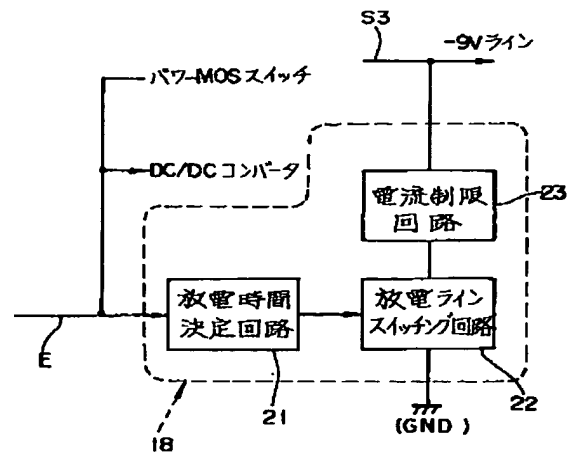
【図1】



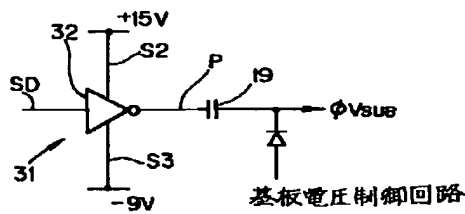
【図2】



【図3】



【図4】



【図5】

